

NL 000674

U.S.



Europäisches  
Patentamt

Eur pean  
Patent Office

Office européen  
des brevets

Bescheinigung

Certificate

Attestation

Die angehefteten Unterlagen stimmen mit der ursprünglich eingereichten Fassung der auf dem nächsten Blatt bezeichneten europäischen Patentanmeldung überein.

The attached documents are exact copies of the European patent application described on the following page, as originally filed.

Les documents fixés à cette attestation sont conformes à la version initialement déposée de la demande de brevet européen spécifiée à la page suivante.

Patentanmeldung Nr. Patent application No. Demande de brevet n°

00204429.5

Der Präsident des Europäischen Patentamts;  
Im Auftrag

For the President of the European Patent Office

Le Président de l'Office européen des brevets  
p.o.

I.L.C. HATTEN-HECKMAN

DEN HAAG, DEN  
THE HAGUE, 08/06/01  
LA HAYE, LE





Europäisches  
Patentamt

Eur pean  
Patent Office

Office européen  
des brevets

**Blatt 2 der Bescheinigung**  
**Sheet 2 of the certificate**  
**Page 2 de l'attestation**

Anmeldung Nr.:  
Application no.: **00204429.5**  
Demande n°:

Anmeldetag:  
Date of filing: **11/12/00**  
Date de dépôt:

Anmelder:  
Applicant(s):  
Demandeur(s):  
**Koninklijke Philips Electronics N.V.**  
**5621 BA Eindhoven**  
**NETHERLANDS**

Bezeichnung der Erfindung:  
Title of the invention:  
Titre de l'invention:  
**NO TITLE**

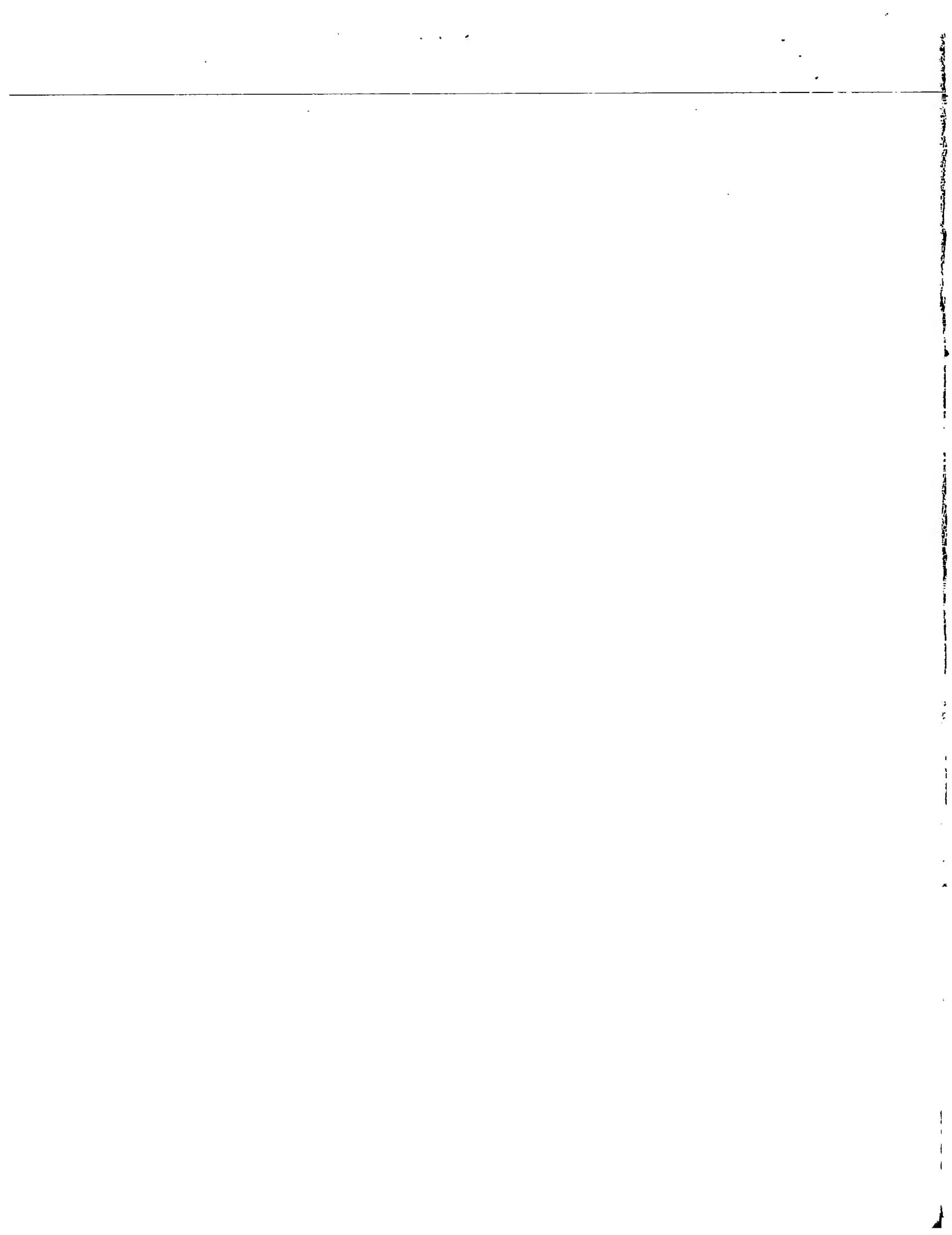
In Anspruch genommene Priorität(en) / Priority(ies) claimed / Priorité(s) revendiquée(s)

Staat: Tag: Aktenzeichen:  
State: Date: File no.  
Pays: Date: Numéro de dépôt:

Internationale Patentklassifikation:  
International Patent classification:  
Classification internationale des brevets:

Am Anmeldetag benannte Vertragstaaten:  
Contracting states designated at date of filing: AT/BE/CH/CY/DE/DK/ES/FI/FR/GB/GR/IE/IT/LI/LU/MC/NL/PT/SE/TR  
Etats contractants désignés lors du dépôt:

Bemerkungen:  
Remarks:  
Remarques:



## Werkwijze voor het vervaardigen van een halfgeleiderinrichting met een veldeffect transistor

EPO - DG 1

11.12.2000

(75)

De uitvinding heeft betrekking op een werkwijze voor het vervaardigen van een halfgeleiderinrichting met een veldeffect transistor met een poort elektrode een aanvoer gebied en een afvoergebied, waarbij op een oppervlak van een halfgeleiderlichaam van silicium een poort oxide laag gevormd wordt waarop plaatselijk de poort elektrode

- 5 aangebracht wordt die een polykristallijne silicium laag bevat, waarbij in het halfgeleiderlichaam aan een weerszijde van de poort elektrode het aanvoer gebied en het afvoer gebied gevormd worden en een aan de rand van de poort elektrode grenzend deel van het afvoer gebied voorzien wordt van een lagere dotoringsconcentratie en waarbij aan weerszijde van de poort elektrode een afstandstuk wordt aangebracht van een materiaal dat
- 10 selectief etsbaar is ten opzichte van de poort oxide laag. Een dergelijke werkwijze is bijzonder geschikt voor het vervaardigen van een zogenaamde LDMOSFET (= Laterally Diffused Metal Oxide Semiconductor Field Effect Transistor) die voor veel toepassingen bijzonder geschikt is. Dankzij de aanwezigheid van het laaggedoteerde deel van het afvoergebied wordt de generatie van hete ladingsdragers tengevolge van een hoog elektrisch
- 15 veld nabij de randen van de poort elektrode beperkt hetgeen de levensduur en betrouwbaarheid van de transistor ten goede komt.

- Een dergelijke werkwijze is bekend uit het Amerikaanse octrooischrift US 5.424.234 dat op 13 Juni 1995 gepubliceerd is. Daarin wordt een werkwijze beschreven waarbij op het oppervlak van een silicium halfgeleiderlichaam een poort oxide laag met daarop een poort elektrode gevormd wordt. Aan weerszijde van de poort elektrode wordt een afstandsstuk aangebracht met behulp waarvan het afvoer gebied (en tevens het aanvoer gebied) voorzien wordt van een laaggedoteerd deel dat aan de rand van de poort elektrode grenst. Het afstandsstuk van deze LDDMOST (= Lowly Doped Drain MOST) wordt uit twee delen opgebouwd en daarvan wordt gebruik gemaakt als maskering om het laaggedoteerde deel van het afvoer gebied eveneens uit twee delen op te bouwen.

Een bezwaar van de bekende werkwijze is dat deze minder geschikt is voor de vervaardiging van een LDMOSFET die toegepast wordt, bijvoorbeeld als versterker, in een basis station voor mobiele communicatie. In die toepassing moet de LDMOSFET bij een

relatief hoge werkspanning van tot wel 25 Volt en bij hoge frequenties van tot wel ca. 2 GHz opereren.

Het doel van de onderhavige uitvinding is dan ook een werkwijze te verschaffen waarmee een LDMOSFET verkregen wordt die uitstekend geschikt is voor de 5 genoemde toepassing en die dus bij relatief hoge spanning en hoge frequentie uitstekend functioneert. De werkwijze dient tevens zo eenvoudig en goedkoop mogelijk te zijn.

Een werkwijze van de in de aanhef genoemde soort wordt daartoe volgens de uitvinding daardoor gekenmerkt dat ter vorming van het afvoer gebied en het laaggedoteerde deel daarvan twee additionele masker lagen op het oppervlak van het halfgeleiderlichaam 10 worden aangebracht waarbij het afvoergebied gevormd wordt op afstand van de poort elektrode die groter is dan de breedte van het afstandsstuk. De uitvinding berust op het verrassende inzicht dat met niet meer dan twee additionele masker lagen op eenvoudige wijze zowel het afvoer gebied als een laaggedoteerd deel daarvan gemaakt kan worden waarbij laatstgenoemd deel (veel) langer is dan wanneer de lengte daarvan bepaald wordt door de 15 breedte van het afstandsstuk. Hierdoor is een inrichting vervaardigd met behulp van een werkwijze volgens de uitvinding geschikt voor gebruik bij hoge spanning. Daarnaast biedt de aanwezigheid van een afstandsstuk, ook aan de zijde van het afvoer gebied een zeer nuttige gebruiksmogelijkheid, namelijk het voorzien van enerzijds zowel de poort elektrode als het aanvoer en het afvoer gebied van een silicide laag. Hierdoor kan de weerstand van met name 20 de poort elektrode aanzienlijk verlaagd worden hetgeen cruciaal is wanneer de afmetingen van de poort elektrode kleiner gemaakt wordt met het oog op bedrijf bij hogere frequenties. Dankzij een werkwijze volgens de uitvinding is met name deze silicidatie mogelijk zonder dat daarbij de laaggedoteerde extensie van het afvoer gebied eveneens gesilicideerd wordt. Dit is zeer gewenst voor een goede werking van aldus vervaardigde inrichting. Een en ander 25 is met name mogelijk doordat enerzijds de poort oxide laag ook buiten de poort elektrode aanwezig is en anderzijds doordat deze laag buiten de poort elektrode gespaard blijft onder meer vanwege het feit dat de afstandsstukken een materiaal bevatten dat selectief verwijderbaar is ten opzichte van het materiaal van de poort oxide laag. Aldus wordt met een werkwijze volgens de uitvinding op bijzonder eenvoudige wijze een LDMOSFET verkregen 30 die bijzonder geschikt is voor de beoogde toepassing in een basis station voor mobiele telefonie.

In een zeer belangrijke uitvoering van een werkwijze volgens de uitvinding wordt ter vorming van het laaggedoteerde deel van het afvoer gebied aan de zijde van de poort elektrode van het te vormen aanvoer gebied op het oppervlak van het

halfgeleiderlichaam een eerste maskerlaag aangebracht die zich uitstrekkt tot op de poort elektrode en wordt ter vorming van het afvoer gebied een tweede masker laag op het oppervlak van het halfgeleiderlichaam wordt aangebracht die zich uitstrekkt vanaf de poort elektrode tot aan het te vormen afvoergebied. Als masker lagen worden bij voorkeur fotolak lagen gekozen.

5 Als techniek ter vorming van het afvoer gebied en het laag gedoteerd deel daarvan is ionenimplantatie het meest geschikt. Bij voorkeur is de bovenzijde van de poort elektrode voorzien van een afzonderlijke beschermingslaag gedurende deze implantaties zodat het materiaal van de poort elektrode en van het onder de poort elektrode liggende gebied van de inrichting - voorzover niet bedekt door een fotolak laag - daartegen beschermd

10 is.

Bij voorkeur wordt eerst een extra implantatie verricht ter vorming van een kanaal gebied. Daarna wordt, met behulp van de eerste additionele masker laag, de implantatie verricht waarmee het laaggedoteerde deel van het afvoer gebied gevormd wordt. Het herstel van de kristalschade van beide implantaties kan - na verwijderen van de betreffende masker laag (lagen) - direct na elke implantatie uitgevoerd worden maar wordt bij voorkeur gecombineerd uitgevoerd. Dit heeft het voordeel dat de betreffende gebieden nauwkeurig onder de poort elektrode gepositioneerd kunnen worden. Vervolgens wordt dan, met behulp van de andere additionele masker laag een implantatie verricht waarmee het aanvoer en afvoer gebied van de transistor gevormd worden waarna een temper stap wordt uitgevoerd. De additionele masker lagen worden bij voorkeur zodanig gedimensioneerd dat het afvoer gebied op een afstand van 1 tot 4  $\mu\text{m}$  van de poort elektrode ligt, welke afstand dan correspondeert met de lengte van het laaggedoteerde deel van het afvoer gebied. Hierdoor is bedrijf van een vervaardigde inrichting mogelijk bij een belangrijk hogere spanning dan wanneer de genoemde lengte correspondeert met de breedte van een afstandsstuk die in de praktijk niet meer dan enkele tiende micrometers kan bedragen.

In een voorkeursuitvoering van een werkwijze volgens de uitvinding wordt ter plaatste van het aanvoer gebied en het afvoer gebied de poort oxide laag voorzien van openingen en worden de poort elektrode en het aanvoer gebied en het afvoer ter plaatse van de openingen voorzien van een metaallaag waarmee met behulp van het onderliggende silicium een silicide gevormd wordt. Als metaallaag kan bijvoorbeeld een Titanium laag gekozen worden, maar lagen van Wolfraam, Kobalt of Platina vormen geschikte alternatieven. Nadat silicide vorming plaats heeft gevonden door een geschikte warmte behandeling kunnen de niet omgezette delen van de Titanium laag eenvoudig door middel van etsen verwijderd worden.

In een zeer gunstige variant van een werkwijze volgens de uitvinding wordt over de poort elektrode een isolerende laag aangebracht waarover ter plaatse van de poortelektrode een afscherm elektrode wordt aangebracht. Voor een goede vermogensversterking van de LDMOSFET is het gewenst om de capaciteit tussen de poort 5 elektrode en het afvoer gebied zo laag mogelijk te houden. Tot dusver wordt dit bereikt door tussen de poort elektrode en het afvoer gebied op een isolerende laag een zogenaamde afscherm elektrode aan te brengen die extern kort gesloten is met het aanvoer gebied, i.c. aarde. Dankzij silicidatie van de poort elektrode in plaats van metallisatie, zoals bij een 10 vervaardiging van een discrete LDMOSFET gebruikelijk is, is het mogelijk om deze afscherm elektrode in plaats van tussen poort elektrode en het afvoer gebied (ook) boven de poort elektrode aan te brengen. Over de gehele lengte van de poort elektrode kan deze afscherm elektrode kortgesloten worden met het ernaast liggende aanvoer gebied. Hierdoor wordt een veel betere afscherming bereikt en daarmee een zeer goede vermogensversterking.

De afstandsstukken kunnen met voordeel gevormd worden door middel van 15 het aanbrengen van een siliciumnitride laag over de poort elektrode die daarna met behulp van plasma etsen weer verwijderd wordt, waarbij de afstandsstukken die zich aan weerszijde van de poort elektrode bevinden gespaard blijven. Bij voorkeur worden - op soortgelijke wijze - de afstandsstukken gevormd uit een dubbele laag van siliciumnitride en polykristallijn silicium. De na het terugetsen van de polykristallijne silicium laag gevormde poly-silicium 20 delen van de afstandsstukken dienen dan als maskering voor het etsen m.b.v. fosforzuur van de onderliggende nitride laag. Op deze manier ontstaan er L-vormige afstandsstukken tegen de poort elektrode. De poly-silicium delen kunnen daarna door middel van etsen met behulp van kaliumhydroxide verwijderd worden. Deze werkwijze heeft verschillende voordelen. Het belangrijkste is dat de poort oxide laag aan weerszijde van de poort elektrode hierbij gespaard 25 blijft. Dit is essentieel voor een selectieve silicidatie. Het afstandsstuk zou desgewenst ook gebruikt kunnen worden voor het voorzien van het laaggedoteerde deel van het afvoer gebied van twee subdelen met verschillende doteringsconcentraties.

Hoewel een werkwijze volgens de uitvinding zeer geschikt is voor het maken 30 van een discrete LDMOSFET kunnen met voordeel ook andere componenten zoals halfgeleiderelementen maar met name passieve componenten in het halfgeleiderlichaam van de LDMOSFET geïntegreerd worden, resulterend in een zogenaamde MMIC (= Monolithic Microwave Integrated Circuit).

De uitvinding zal thans nader worden beschreven aan de hand van een uitvoeringsvoorbeeld en de tekening, waarin

figuur 1 schematisch en in een dwarsdoorsnede loodrecht op de dikterichting een halfgeleiderinrichting met een LDMOS transistor toont vervaardigd met behulp van een werkwijze volgens de uitvinding, en

figuur 2 t / m 9 schematisch en in een dwarsdoorsnede loodrecht op de

- 5 dikterichting het met II aangeduide deel van de halfgeleiderinrichting van figuur 1 tonen in opeenvolgende stadia van de vervaardiging met behulp van een uitvoeringsvoorbeeld van een werkwijze volgens de uitvinding.

De figuren zijn niet op schaal getekend en met name de afmetingen in de 10 dikterichting zijn ter wille van de duidelijkheid overdreven weergegeven. Overeenkomstige gebieden zijn zoveel mogelijk van hetzelfde verwijzingscijfer voorzien en gebieden met 15 hetzelfde geleidingstype bezitten zoveel mogelijk dezelfde arcering.

figuur 1 toont schematisch en in een dwarsdoorsnede loodrecht op de dikterichting een halfgeleiderinrichting met een LDMOS transistor vervaardigd met behulp van een werkwijze volgens de uitvinding. De inrichting omvat een halfgeleiderlichaam 10 met een p-type silicium substraat 20 voorzien van een p-type epitaxiale laag 21 die respectievelijk 100 tot 500 en 4 tot 10  $\mu\text{m}$  dik zijn en een specifieke weerstand van 5 tot 1000  $\text{m}\Omega\text{cm}$  en 5 tot 30  $\Omega\text{cm}$  hebben. De LDMOSFET is omgeven door LOCOS (= Local Oxidation of Silicon) gebieden 22. Aan weerszijde van het n-type afvoer gebied 3, dat van laaggedoteerde delen 3A voorzien is, bevindt zich de poort elektrode 1 die omgeven is door 20 het n-type aanvoer gebied 2. In het halfgeleiderlichaam 10 bevinden zich verder een p-type plug gebied 23 dat voorziet in een elektrische aansluiting voor het substraat 20 en een p-type kanaalgebied 24 waarmee de geleidingseigenschappen van de LDMOSFET afgesteld zijn. De poort elektrode 1 die hier ongeveer 1  $\mu\text{m}$  breed is, omvat een polykristallijne silicium laag 1 die met P atomen gedoteerd is en zich bevindt op een 50 tot 90 nm dikke poort oxide laag 4 van siliciumdioxide die zich over het oppervlak van het halfgeleiderlichaam 10 uitstrekt aan 25 weerszijde van de poort elektrode 1. Deze is verder voorzien van een zijlaag 25 die siliciumdioxide bevat en waartegen zich afstandsstukken 5A van siliciumnitride bevinden. Op de bovenzijde van de poort elektrode 1 en in boven het aanvoer gebied 2 en het afvoer gebied 3 gelegen openingen 8,9 in de poort oxide laag 4 en hier in een de inrichting 30 bedekkende isolerende laag 26, bevindt zich een geleidende laag 11 van Titaan silicide. Ter plaatse van de poort elektrode 1 en het tussen het afvoer gebied 3 en de poort elektrode 1 gelegen deel van de inrichting bevindt zich een afscherm elektrode 27 op de isolerende laag 26. Het met II aangeduide deel van de inrichting bevat reeds de voor de onderhavige uitvinding essentiële onderdelen en de vervaardiging van de inrichting met behulp van een

werkwijze volgens de uitvinding zal aan de hand van dat deel van figuur 1 besproken worden.

Figuur 2 t/m 9 tonen schematisch en in een dwarsdoorsnede loodrecht op de dikterichting het met II aangeduide deel van de halfgeleiderinrichting van figuur 1 in

5 opeenvolgende stadia van de vervaardiging met behulp van een uitvoeringsvoorbeeld van een werkwijze volgens de uitvinding. Uitgegaan wordt (zie figuur 2) van een p-type silicium  
10 substraat 20 dat bedekt wordt met een p-type epitaxiale laag 21. Het oppervlak van het halfgeleiderlichaam 10 wordt dan voorzien van een LOCOS gebied 22 waarbinnen een poort oxide laag 4 gevormd wordt. Daarop wordt een 200 tot 500 nm dikke poort elektrode 1 van polykristallijn silicium aangebracht die bedekt is met een 5 tot 10 nm dikke siliciumdioxide tussenlaag 30 en een 100 tot 300 nm dikke siliciumnitride afscherm laag 31. Met de poort  
15 elektrode 1 en een niet in de figuren weergegeven masker laag die zich daarop en rechts daarvan bevindt, wordt vervolgens het p-type kanaalgebied 25 door implantatie van Boor ionen gevormd, hier met een flux van 2 tot 8 maal  $10^{13}$  at/cm<sup>2</sup> en bij een energie van 30 tot  
20 90 keV. Hierna wordt op en links naast de poort elektrode 1 een eerste, 1 µm dikke, additionele masker laag 6 in de vorm van een fotolak laag 6 aangebracht. Daarna wordt door middel van implantatie van P ionen het n-type laaggedoteerde deel 3A van het afvoergebied 3 gevormd. In dit voorbeeld bedragen de flux en energie daarbij respectievelijk 1 tot 6 maal  $10^{12}$  at/cm<sup>2</sup> en 10 tot 160 keV. Vervolgens worden na verwijdering van de lak laag 6 de  
25 atomen van zowel het p-type kanaal gebied 25 als van het laag gedoteerde deel 3A van het afvoergebied 3 elektrisch geactiveerd door middel van een warmte behandeling gedurende 20 tot 60 minuten bij 950 tot 1100 °C. Hierbij wordt tevens de bij de implantaties veroorzaakte kristal schade hersteld en diffunderen de genoemde gebieden 25,3A tot op de gewenste positie onder de poort elektrode 1.

25 Dan wordt (zie figuur 3) op de poort elektrode 1 en rechts daarvan een tweede additionele masker laag 7, hier eveneens een fotolak laag 7, aangebracht waarna door middel van implantatie van As ionen bij een flux van 2 tot 8 maal  $10^{15}$  at/cm<sup>2</sup> en bij een energie van 100 tot 170 keV zowel het aanvoer gebied 2 als het afvoer gebied 3 gevormd (zie figuur 4). Het afvoer gebied 3 bevindt zich hier op een afstand van 3 µm van de poort elektrode 1. Dan worden - na verwijdering van de lak laag 7 - de geimplanteerde ionen geactiveerd bij een temperatuur van 900 °C gedurende 15 minuten.

Hierna worden (zie figuur 5) door een thermische oxidatie bij 850 tot 1000 °C de zijkanten van de poort elektrode 1 voorzien van een zioxide laag 24. Deze heeft als doel het veld onder de rand van de poort elektrode te verlagen hetgeen aanleiding geeft tot een

geringere degradatie van de inrichting verminderd wordt en heeft een dikte van 5 tot 20 nm. Hierna wordt door middel van nat chemisch etsen m.b.v. Fosforzuur de nitride afscherm laag 31 op de poort elektrode 1 verwijderd. Daarna worden (zie figuur 6) over het halfgeleiderlichaam 10 een 30 tot 80 nm dikke siliciumnitride laag 5A en een 200 nm dikke 5 polykristallijne silicium laag 5B aangebracht. Laatstgenoemde laag wordt door middel van plasma etsen weer verwijderd waarbij delen 5B van te vormen afstandsstukken 5 gespaard blijven. De siliciumnitride laag 5A fungeert hierbij als etsstop laag. Het gebruik van een dergelijke dubbellaag 5A,5B voor de vorming van de afstandsstukken 5 heeft het voordeel dat de poortoxide laag naast de poort elektrode intact blijft. Met behulp van genoemde delen 10 5B als maskering worden nu (zie figuur 7) de overtollige delen van de siliciumnitride laag 5A door middel van nat chemisch etsen m.b.v. Fosforzuur verwijderd. De poot oxide laag 4 fungeert hierbij als etsstop laag. De afstandsstukken 5 zijn nu ongeveer 0.25 µm hoog en ongeveer 0.2 µm breed. Op soortgelijke wijze worden dan (zie figuur 8) de delen 5B van de afstandsstukken 5 verwijderd door middel van etsen m.b.v. KOH waarna de resterende delen 15 5A dan de afstandsstukken 5 vormen. Hierna wordt op nat chemische wijze de oxide bevattende tussenlaag 30 verwijderd. Dankzij een geschikte keuze van de dikte voor deze laag 30 en de poort oxide laag 4, blijven daarbij de buiten de poort elektrode 1 liggende delen van de poort oxide laag 4 grotendeels gespaard.

Vervolgens wordt (zie figuur 9) over het oppervlak van het 20 halfgeleiderlichaam 10 een metaallaag 11, hier een 20 tot 70 nm dikke Titanium laag 11 aangebracht die door een thermische behandeling van de inrichting gedurende ongeveer 30 seconden bij 650 tot 800 °C ter plaatse van de poort elektrode 1 en ter plaatse van in de poort oxide laag 4 gevormde openingen 8,9 met het daaronder liggende silicium reageert tot een silicide verbinding. De delen van de metaallaag 11 die niet met silicium hebben kunnen 25 reageren worden daarna door middel van een ets die selectief is ten opzichte van het metaal silicide 11 weer verwijderd. Vervolgens wordt over het oppervlak van het halfgeleiderlichaam 10 een glas laag 26 die 0,5 tot 1,5 µm dik is en siliciumdioxide bevat 30 aangebracht. Daarop wordt een 500 tot 800 nm dikke geleidende laag 27 van aluminium of goud aangebracht die zodanig in patroon gebracht wordt dat deze boven de poort elektrode 1 en tussen deze en het afvoer gebied 3 een afscherm elektrode 27 gevormd wordt. Tevens worden aansluitgeleiders 27,28 gevormd boven het Titaansilicide 11 van het aanvoer- en afvoergebied 2,3. In dit voorbeeld is de aansluitgeleider 27 van aanvoer gebied 2 verbonden met de afscherm elektrode 27 boven de poort elektrode 3.

Na het aanbrengen van een zogenaamde krasprotectie laag en na het dunslipen van het substraat 20 is de LDMOSFET vervaardigd met een werkwijze volgens de uitvinding gereed voor separatie uit het halfgeleiderlichaam 10 en is daarna (zie ook figuur 1) gereed voor afmontage.

5 De uitvinding is niet beperkt tot het gegeven uitvoeringsvoorbeeld daar voor de vakman binnen het kader van de uitvinding vele modificaties en variaties mogelijk zijn. Zo kunnen andere dikten, andere (halfgeleider)materialen of andere samenstellingen dan de in het voorbeeld genoemde worden toegepast. Ook kunnen alle gebruikte geleidingstype tegelijkertijd door het tegengestelde vervangen worden. De gebruikte technieken voor het  
10 aanbrengen van gedoteerde halfgeleidende, isolerende of geleidende gebieden kunnen door anderen dan de genoemde vervangen worden.

Verder wordt nadrukkelijk opgemerkt dat de volgorde van de verschillende proces stappen niet noodzakelijkerwijs gelijk is aan de in het voorbeeld gekozen volgorde. Zo kan bijvoorbeeld de vorming van het aanvoer gebied en het afvoergebied en / of het  
15 laaggedoteerde deel daarvan ook in een later stadium van de vervaardiging uitgevoerd worden.

9

EPO - DG 1

07.12.2000

CONCLUSIES:

11.12.2000

(75)

1. Werkwijze voor het vervaardigen van een halfgeleiderinrichting met een  
veldeffect transistor met een poort elektrode (1) een aanvoer gebied (2) en een afvoergebied  
(3), waarbij op een oppervlak van een halfgeleiderlichaam (10) van silicium een poort oxide  
laag (4) gevormd wordt waarop plaatselijk de poort elektrode (1) aangebracht wordt die een  
5 polykristallijne silicium laag (1) bevat, waarbij in het halfgeleiderlichaam (10) aan een  
weerszijde van de poort elektrode (1) het aanvoer gebied (2) en het afvoer gebied (3)  
gevormd worden en een aan de rand van de poort elektrode (1) grenzend deel (3A) van het  
afvoer gebied (3) voorzien wordt van een lagere dotoringsconcentratie en waarbij aan  
weerszijde van de poort elektrode (1) een afstandstuk (5) wordt aangebracht van een  
10 materiaal dat selectief etsbaar is ten opzichte van de poort oxide laag (4), met het kenmerk,  
dat ter vorming van het afvoer gebied (3) en het laaggedoteerde deel (3A) daarvan twee  
additionele masker lagen (6,7) op het oppervlak van het halfgeleiderlichaam (10) worden  
aangebracht waarbij het afvoergebied (3) gevormd wordt op een afstand van de poort  
elektrode (1) die groter is dan de breedte van het afstandsstuk (5).

15

2. Werkwijze volgens conclusie 1, met het kenmerk, dat ter vorming van het  
laaggedoteerde deel (3A) van het afvoer gebied (3) aan de zijde van de poort elektrode (1)  
van het te vormen aanvoer gebied (2) op het oppervlak van het halfgeleiderlichaam (10) een  
eerste maskerlaag (6) wordt aangebracht die zich uitstrekkt tot op de poort elektrode (1) en ter  
20 vorming van het afvoer gebied (3) een tweede maskerlaag (7) op het oppervlak van het  
halfgeleiderlichaam (10) wordt aangebracht die zich uitstrekkt vanaf de poort elektrode (1) tot  
aan het te vormen afvoergebied (3).

3. Werkwijze volgens conclusie 1 of 2, met het kenmerk, dat ter plaatse van het  
aanvoer gebied (2) en het afvoer gebied (3) de poort oxide laag (4) voorzien wordt van een  
opening (8,9) en de poort elektrode (1) en het aanvoer gebied (2) en het afvoer gebied (3) ter  
plaatse van de opening (8,9) voorzien worden van een metaal laag (11) die met behulp van  
het onderliggende silicium omgezet wordt in een silicide laag (11).

10

07.12.2000

4. Werkwijze volgens conclusie 1, 2 of 3, met het kenmerk, dat de afstand van het afvoer gebied (3) tot de poortelektrode (1) gekozen wordt tussen 1 en 4  $\mu\text{m}$ .

5. Werkwijze volgens een der voorafgaande conclusies, met het kenmerk, dat over de poort elektrode (1) een isolerende laag (26) wordt aangebracht waarover ter plaatse van de poortelektrode (1) een afscherm elektrode (27) wordt aangebracht.

6. Werkwijze volgens een der voorafgaande conclusies, met het kenmerk, dat de afstandsstukken (5) gevormd worden uit een laag (5A) van siliciumnitride.

10

7. Werkwijze volgens een der voorafgaande conclusies, met het kenmerk, dat de afstandsstukken (5) gevormd worden uit een laag van siliciumnitride (5A) waarop een laag (5B) van polykristallijn silicium wordt aangebracht.

15

8. Werkwijze volgens een der voorafgaande conclusies, met het kenmerk, dat verdere halfgeleiderelementen en bij voorkeur een of meer passieve componenten in het halfgeleiderlichaam (10) geïntegreerd worden.

20

9. Halfgeleiderinrichting omvattende een veldeffect transistor verkregen met behulp van een werkwijze volgens een der voorafgaande conclusies.

EPO - DG 1

11

07.12.2000

11.12.2000

## ABSTRACT:

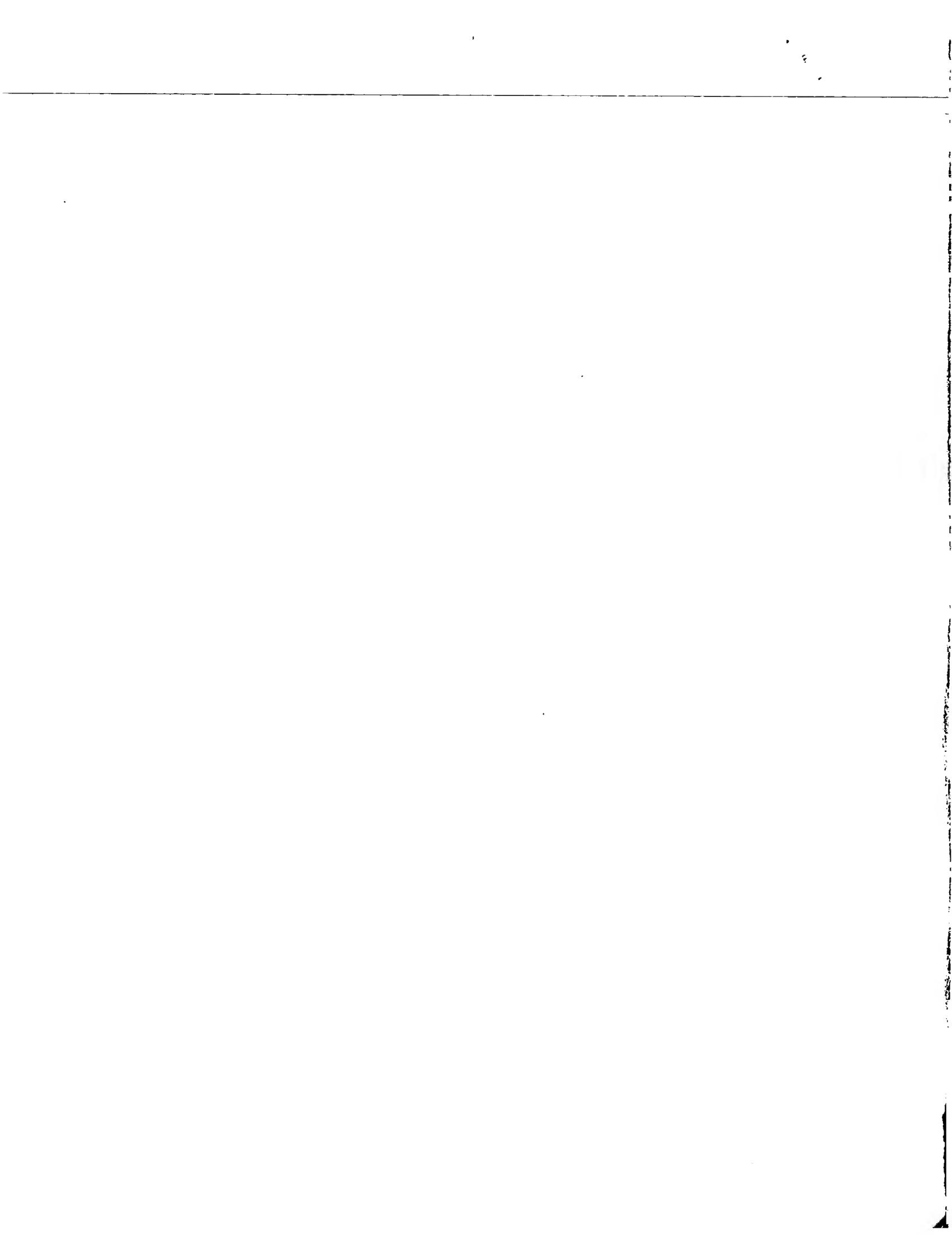
(75)

The invention relates to the manufacturing of a so-called LDMOSFET in which a gate oxide (1) layer is not only deposited below the gate electrode (1) but also on both sides thereof. Against the sides of the gate electrode (1) which comprises silicon nitride spacers (5) are positioned which comprise a material that is selectively removable from the 5 material of the gate oxide layer (1). The drain (3) is provided with a lightly doped part (3A) bordering the gate electrode (1).

According to the invention the lightly doped part (3A) of the drain (3) is formed by means of two additional masking layers (6,7) and the drain (3) is positioned at distance from the gate electrode (1) which is larger than the width of the spacers (5).

10 Preferably, the spacers (5) are used for silicidation of the gate electrode (1). In this way the method results in a particularly simple manner in a discrete LDSMOST which is very suitable for application in a base station of a mobile telephone system wherein a high operating voltage and a high frequency are requested. Preferably, a shielding electrode (27) is positioned above the gate electrode (1).

15 Figure 1



11-12-2000

EP00204429.5

## DRAW

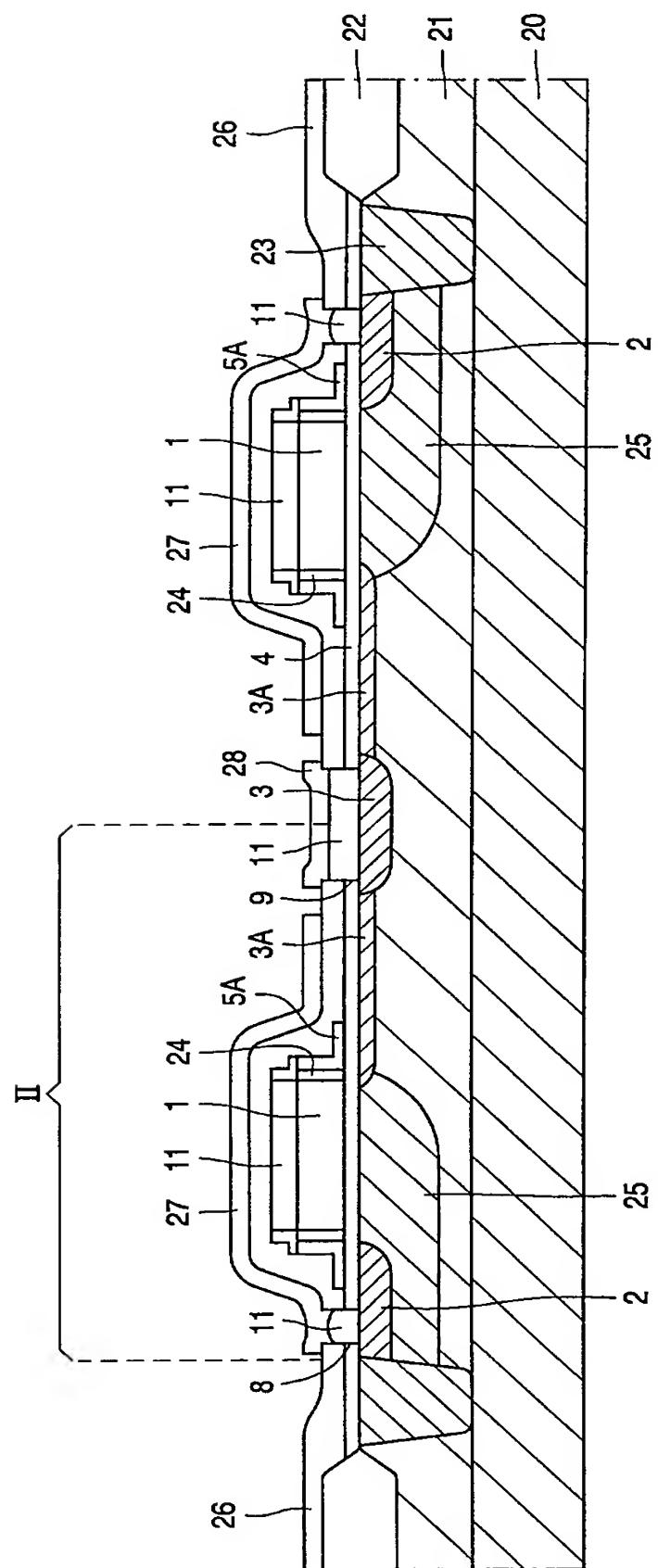
EPO - DG 1

PHNL000674

11.12. 2000

1/3

75



1

2/3

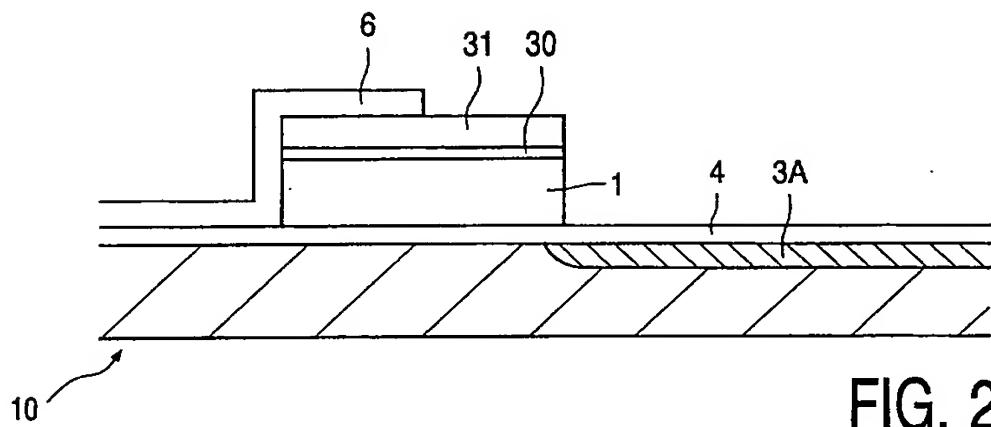


FIG. 2

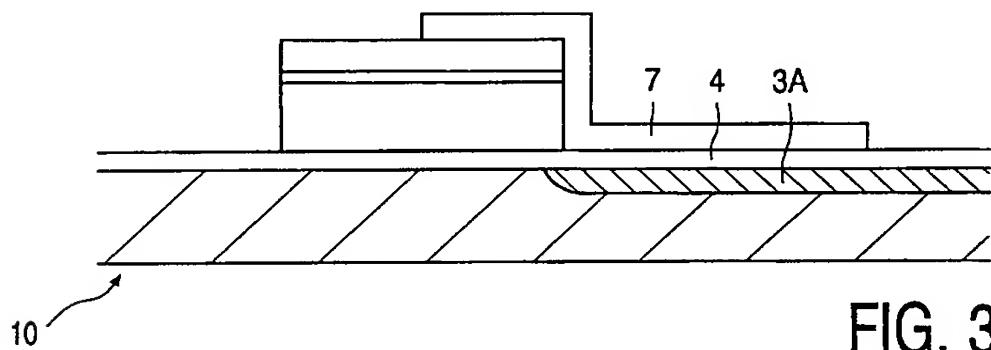


FIG. 3

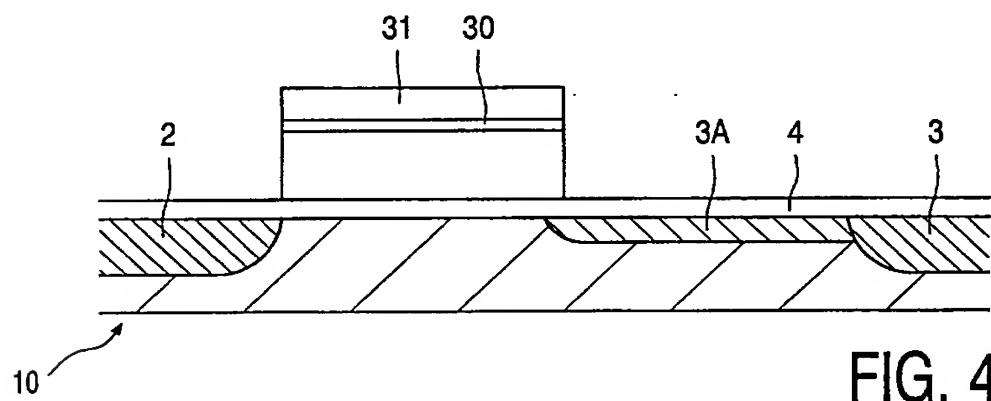


FIG. 4

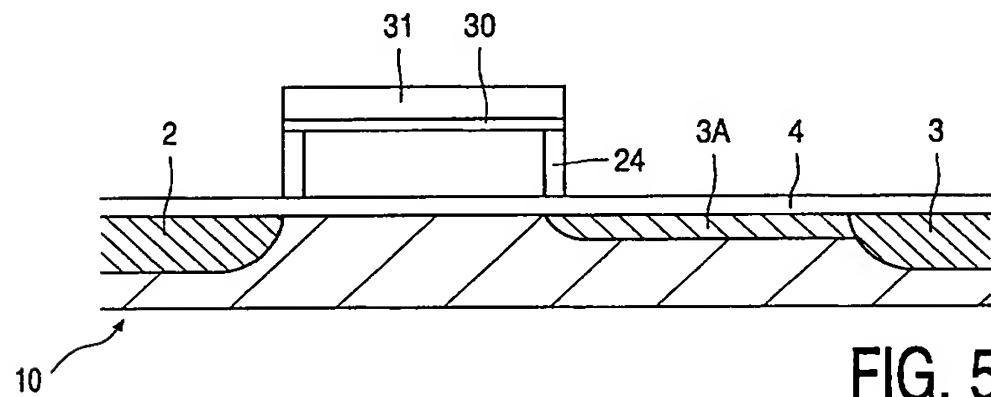


FIG. 5

P/NL000674

3/3

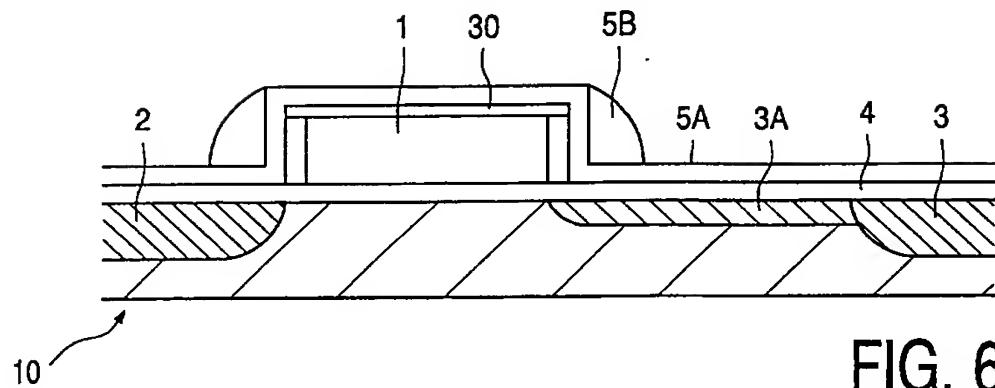


FIG. 6

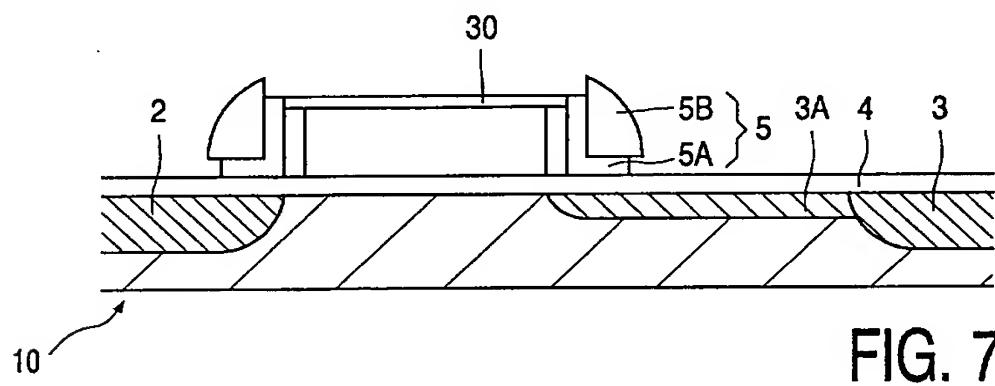


FIG. 7

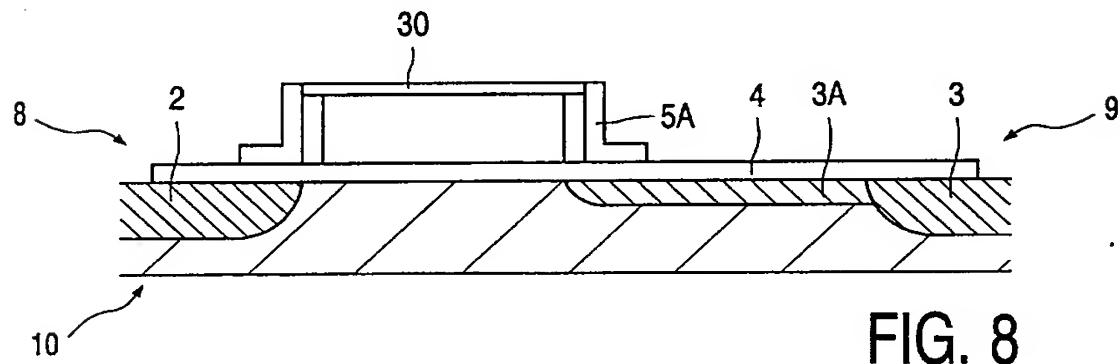


FIG. 8

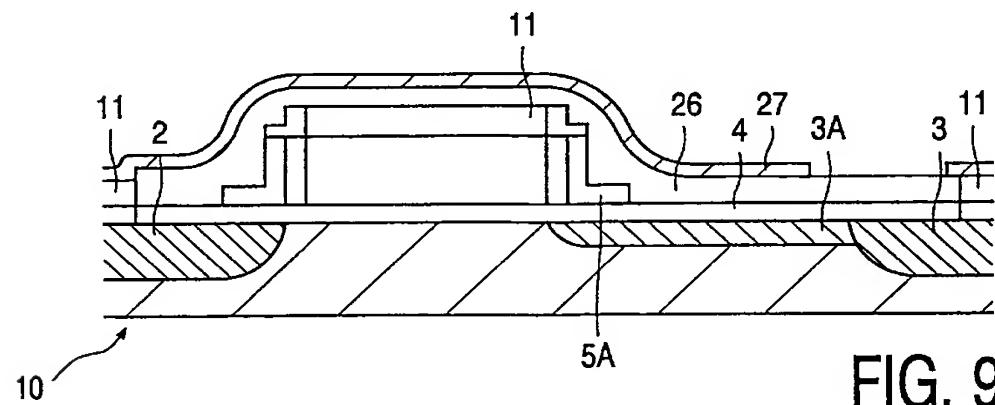


FIG. 9

**THIS PAGE BLANK**